

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Masahiro SUNOHARA, et al.**

Group Art Unit: **Not Yet Assigned**

Serial No.: **Not Yet Assigned**

Examiner: **Not Yet Assigned**

Filed: **November 21, 2003**

For: **ELECTRONIC PARTS PACKAGING STRUCTURE AND METHOD OF MANUFACTURING THE SAME**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: November 21, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-342024, filed November 26, 2002

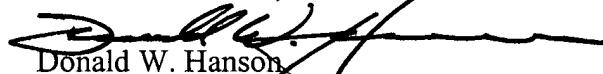
In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

**ARMSTRONG, KRATZ, QUINTOS,
HANSON & BROOKS, LLP**



Donald W. Hanson

Attorney for Applicants

Reg. No. 27,133

DWH/jaz

Atty. Docket No. **031274**

Suite 1000

1725 K Street, N.W.

Washington, D.C. 20006

(202) 659-2930



23850

PATENT TRADEMARK OFFICE

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2002年11月26日

出願番号 Application Number: 特願2002-342024

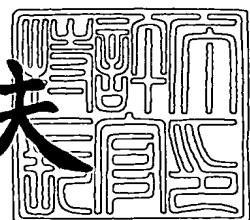
[ST. 10/C]: [JP2002-342024]

出願人 Applicant(s): 新光電気工業株式会社

2003年10月15日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 14-149
【提出日】 平成14年11月26日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 25/00
H05K 3/46
【発明の名称】 電子部品実装構造及びその製造方法
【請求項の数】 14
【発明者】
【住所又は居所】 長野県長野市大字栗田字舍利田 711番地 新光電気工業株式会社内
【氏名】 春原 昌宏
【発明者】
【住所又は居所】 長野県長野市大字栗田字舍利田 711番地 新光電気工業株式会社内
【氏名】 村山 啓
【発明者】
【住所又は居所】 長野県長野市大字栗田字舍利田 711番地 新光電気工業株式会社内
【氏名】 真篠 直寛
【発明者】
【住所又は居所】 長野県長野市大字栗田字舍利田 711番地 新光電気工業株式会社内
【氏名】 東 光敏
【特許出願人】
【識別番号】 000190688
【氏名又は名称】 新光電気工業株式会社

【代理人】

【識別番号】 100091672

【住所又は居所】 東京都中央区日本橋人形町3丁目11番7号
山西ビル4階

【弁理士】

【氏名又は名称】 岡本 啓三

【電話番号】 03-3663-2663

【手数料の表示】

【予納台帳番号】 013701

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9816048

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電子部品実装構造及びその製造方法

【特許請求の範囲】

【請求項 1】 電子部品が実装される被実装体と、

前記被実装体の上に、最上にエッチングストップ層を備えた積層膜から構成された接続パッドを有する前記電子部品の該接続パッドが上向きになって実装された前記電子部品と、

前記電子部品を被覆する絶縁膜と、

少なくとも前記電子部品の接続パッド上における前記絶縁膜の所定部に形成されたビアホールと、

前記ビアホールを介して、前記接続パッドに接続された配線パターンとを有することを特徴とする電子部品実装構造。

【請求項 2】 前記接続パッドは、それぞれ下から順に、アルミニウム膜／ニッケル膜／銅膜、アルミニウム膜／ニッケル膜／金膜、アルミニウム膜／ニッケル膜／銅膜／金膜、アルミニウム膜／ニッケル膜／銀膜、アルミニウム膜／クロム膜／銅膜、アルミニウム膜／導電性ペースト膜、アルミニウム膜／チタン膜／導電性ペースト膜、アルミニウム膜／クロム膜／導電性ペースト膜、及びアルミニウム膜／チタン膜／銅膜の群から選択されるいづれかの積層膜から構成されることを特徴とする請求項 1 に記載の電子部品実装構造。

【請求項 3】 前記被実装体は、配線パターンを備えたベース基板、又は該ベース基板上に絶縁膜と配線パターンとが所定数積層された構造体であって、前記接続パッドに接続された配線パターンは前記絶縁膜に形成されたビアホールを介して前記電子部品の下側の前記配線パターンに電気的に接続されていることを特徴とする請求項 1 又は 2 に記載の電子部品実装構造。

【請求項 4】 複数の前記電子部品が複数の前記絶縁膜に埋設された状態で 3 次元的に実装され、前記複数の電子部品は前記絶縁膜に形成された前記ビアホール及び前記配線パターンを介して相互接続されていることを特徴とする請求項 3 に記載の電子部品実装構造。

【請求項 5】 前記電子部品の接続パッドに接続され、かつ露出する配線パ

ターンには、上側電子部品のバンプがフリップチップ実装されていることを特徴とする請求項1乃至4のいずれか一項に記載の電子部品実装構造。

【請求項6】 前記電子部品の厚みは150μm程度以下であることを特徴とする請求項1乃至5のいずれか一項に記載の電子部品実装構造。

【請求項7】 最上にエッティングストップ層を備えた積層膜から構成された接続パッドを有する電子部品を用意する工程と、

被実装体の上に、前記電子部品を、該接続パッドを上向きにした状態で実装する工程と、

前記電子部品を被覆する絶縁膜を形成する工程と、

少なくとも前記接続パッド上の絶縁膜の所定部をレーザによりエッティングすることにより、ビアホールを形成する工程と

前記ビアホールを介して前記接続パッドに接続される配線パターンを形成する工程とを有することを特徴とする電子部品実装構造の製造方法。

【請求項8】 前記接続パッドは、それぞれ下から順に、アルミニウム膜／ニッケル膜／銅膜、アルミニウム膜／ニッケル膜／金膜、アルミニウム膜／ニッケル膜／銅膜／金膜、アルミニウム膜／ニッケル膜／銀膜、アルミニウム膜／クロム膜／銅膜、アルミニウム膜／導電性ペースト膜、アルミニウム膜／チタン膜／導電性ペースト膜、アルミニウム膜／クロム膜／導電性ペースト膜、及びアルミニウム膜／チタン膜／銅膜の群から選択されるいずれかの積層膜であって、前記接続パッドの最上膜は、前記レーザでビアホールをエッティングする際の前記エッティングストップ層として機能することを特徴とする請求項7に記載の電子部品実装構造の製造方法。

【請求項9】 前記接続パッドは、前記アルミニウム膜／ニッケル膜／銅膜、前記アルミニウム膜／ニッケル膜／金膜、前記アルミニウム膜／ニッケル膜／銅膜／金膜、又は前記アルミニウム膜／ニッケル膜／前記銀膜であって、

前記電子部品を用意する工程は、

アルミニウムパッドを備えた半導体ウェハの該アルミニウムパッド上に、無電解めっきにより前記ニッケル膜を選択的に形成する工程と、

前記ニッケル膜上に、無電解めっきにより、前記銅膜、前記金膜、前記銅膜／

金膜、又は前記銀膜を選択的に形成して前記接続パッドとする工程と、
前記半導体ウェハの背面を研削して薄型化する工程と、
前記半導体ウェハをダイシングすることにより前記電子部品を得る工程とを含
むことを特徴とする請求項8に記載の電子部品実装構造の製造方法。

【請求項10】 前記接続パッドは、前記アルミニウム膜／クロム膜／銅膜
、又は前記アルミニウム膜／チタン膜／銅膜であって、
前記電子部品を用意する工程は、
アルミニウムパッドを備えた半導体ウェハの上に、前記クロム膜又はチタン膜
と前記銅膜とを順次形成する工程と、
前記銅膜又はチタン膜とクロム膜とをパターニングすることにより、前記アル
ミニウムパッド上に前記クロム膜又はチタン膜と前記銅膜とを残して前記接続パ
ッドとする工程と、
前記半導体ウェハの背面を研削して薄型化する工程と、
前記半導体ウェハをダイシングすることにより前記電子部品を得る工程とを含
むことを特徴とする請求項8に記載の電子部品実装構造の製造方法。

【請求項11】 前記接続パッドは、前記アルミニウム膜／クロム膜／銅膜
、又は前記アルミニウム膜／チタン膜／銅膜であって、
前記電子部品を用意する工程は、
アルミニウムパッドを備えた半導体ウェハの該アルミニウムパッド上に開口部
を有するレジスト膜を形成する工程と、
前記レジスト膜及びアルミニウムパッドの上に、前記クロム膜又はチタン膜と
前記銅膜とを順次形成する工程と、
前記レジスト膜を除去して、前記レジスト膜上の前記クロム膜又はチタン膜と
前記銅膜とをリフトオフすることにより、アルミニウムパッド上に前記クロム膜
又はチタン膜と前記銅膜とを選択的に残して前記接続パッドとする工程と、
前記半導体ウェハの背面を研削して薄型化する工程と、
前記半導体ウェハをダイシングすることにより前記電子部品を得る工程とを含
むことを特徴とする請求項8に記載の電子部品実装構造の製造方法。

【請求項12】 前記接続パッドは、前記アルミニウム膜／クロム膜／銅膜

、又は前記アルミニウム膜／チタン膜／銅膜であって、
前記電子部品を用意する工程は、
アルミニウムパッドを備えた半導体ウェハの上に、前記クロム膜又はチタン膜
と第1銅膜とを順次形成する工程と、
前記アルミニウムパッドに対応する前記第1銅膜上の部分に開口部を有するレ
ジスト膜を形成する工程と、
電解めっきにより、前記レジストの開口部に第2銅膜を形成する工程と、
前記レジスト膜を除去した後に、前記第2銅膜をマスクにして前記第1銅膜と
前記クロム膜又はチタン膜とをエッチングすることにより前記接続パッドとする
工程と、
前記半導体ウェハの背面を研削して薄型化する工程と、
前記半導体ウェハをダイシングすることにより前記電子部品を得る工程とを含
むことを特徴とする請求項8に記載の電子部品実装構造の製造方法。

【請求項13】 前記接続パッドは、前記アルミニウム膜／導電性ペースト
膜、前記アルミニウム膜／チタン膜／導電性ペースト膜、又は前記アルミニウム
膜／クロム膜／導電性ペースト膜であって、

前記電子部品を用意する工程は、
アルミニウムパッドを備えた半導体ウェハの該アルミニウムパッドの上、又は
該アルミニウムパッド上に形成された前記チタン膜もしくは前記クロム膜の上に
導電性ペースト材を選択的に塗布することにより前記導電性ペースト膜を形成す
る工程と、

前記半導体ウェハの背面を研削して薄型化する工程と、
前記半導体ウェハをダイシングすることにより前記電子部品を得る工程とを含
むことを特徴とする請求項8に記載の電子部品実装構造の製造方法。

【請求項14】 前記被実装体は、配線パターンを備えたベース基板、又は
該ベース基板上に絶縁膜と配線パターンとが所定数積層された構造体であって、
前記ビアホールを形成する工程において、前記電子部品の下側の該配線パター
ン上の前記絶縁膜の所定部にビアホールを同時に形成し、かつ、

前記接続パッドに接続された配線パターンを形成する工程において、前記接続

パッドに接続された配線パターンが該ビアホールを介して前記電子部品の下側の前記配線パターンに電気的に接続されるように形成することを特徴とする請求項7に記載の電子部品実装構造の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は電子部品実装構造及びその製造方法に係り、より詳しくは、電子部品が絶縁膜に埋設された状態で配線基板上に実装された電子部品実装構造及びその製造方法に関する。

【0002】

【従来の技術】

マルチメディア機器を実現するためのキーテクノロジーであるLSI技術はデータ伝送の高速化、大容量化に向かって着実に開発が進んでいる。これに伴って、LSIと電子機器とのインターフェイスとなる実装技術の高密度化が進められている。

【0003】

さらなる高密度化の要求から、配線基板上に半導体チップが絶縁膜に埋設された状態で実装された半導体装置がある。その一例として、特許文献1には、配線基板上に薄型化された半導体チップが絶縁膜に埋設された状態でフェイスアップで実装され、半導体チップの電極パッドがその上の絶縁膜に形成されたビアホールなどを介して、配線基板の両面に設けられた外部接続端子に接続された半導体装置が記載されている。

【0004】

【特許文献1】

特開2001-217337号公報

【0005】

【発明が解決しようとする課題】

ところで、上記したような半導体装置を製造するには、半導体チップの接続パッド上の絶縁膜をレーザなどによりエッチングしてビアホールを形成する必要が

ある。このとき、半導体チップの接続パッドがアルミニウム（A1）膜からなる場合、A1膜はレーザによりエッチングされやすい特性を有するため、レーザにより絶縁膜を穴明けする際に、露出したA1膜がレーザによりエッチングされて周囲に飛散し、引いては接続パッドの一部が消失してしまうという不具合が発生しやすい。このため、レーザにより接続パッドの近傍下の回路素子にダメージを与えるという問題がある。

【0006】

なお、上記した特許文献1では上記したような半導体チップの接続パッド（A1膜）上の絶縁膜をレーザによりエッチングする際の問題に関しては何ら考慮されていない。

【0007】

本発明は以上の課題を鑑みて創作されたものであり、配線基板上に電子部品が絶縁膜内に埋設され、かつフェイスアップで実装された電子部品実装構造において、何ら不具合が発生することなく、電子部品の接続パッド上にビアホールが形成される電子部品実装構造及びその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】

上記課題を解決するため、本発明は電子部品実装構造に係り、電子部品が実装される被実装体と、前記被実装体の上に、最上にエッティングストップ層を備えた積層膜から構成される接続パッドを有する前記電子部品の該接続パッドが上向きになって実装された前記電子部品と、前記電子部品を被覆する絶縁膜と、少なくとも前記電子部品の接続パッド上における前記絶縁膜の所定部に形成されたビアホールと、前記ビアホールを介して前記接続パッドに接続された配線パターンとを有することを特徴とする。

【0009】

本発明の電子部品実装構造では、電子部品が、その接続パッドが上向きになつて（フェイスアップ）、かつ絶縁膜内に埋設された状態で被実装体上に実装されている。そして、電子部品の接続パッドは、その最上にエッティングストップ層を備えた積層膜により構成されている。

【0010】

接続パッドの一つの好適な例としては、それぞれ下から順に、アルミニウム膜／ニッケル膜／銅膜、アルミニウム膜／ニッケル膜／金膜、アルミニウム膜／ニッケル膜／銅膜／金膜、アルミニウム膜／ニッケル膜／銀膜、アルミニウム膜／クロム膜／銅膜、及びアルミニウム膜／導電性ペースト膜、アルミニウム膜／チタン膜／導電性ペースト膜、アルミニウム膜／クロム膜／導電性ペースト膜、及びアルミニウム膜／チタン膜／銅膜の群から選択されるいづれかの積層膜により構成される。

【0011】

また、電子部品の接続パッド上の絶縁膜にはスルーホールが形成されていて、この絶縁膜上にはビアホールを介して接続パッドに接続された配線パターンが形成されている。

【0012】

本発明の電子部品実装構造では、電子部品の接続パッド上の絶縁膜にレーザによりビアホールが形成される際に、接続パッドの最上膜がレーザプロセスでのエッチングストップ層として機能するようにしている。すなわち、エッティングストップ層としての銅膜、金膜、銀膜又は導電性ペースト膜などは、接続パッドの一般的な材料であるAl膜よりレーザでのエッティングレートが極めて低い特性を有するからである。

【0013】

従って、最上層がAl膜からなる接続パッドを使用する場合と違って、ビアホール下の接続パッドが消失したり、接続パッドの近傍下の回路素子にダメージを与えることなく、接続パッドを維持することができる。

【0014】

このように、電子部品の接続パッド上の絶縁膜に形成されるビアホールは、一般的なレーザプロセスにより、何ら不具合が発生することなく容易に形成される。従って、電子部品が被実装体上にフェイスアップで絶縁膜内に埋設された状態で実装され、かつ電子部品の接続パッドがビアホールを介して配線パターンに接続された電子部品実装構造がコスト上昇を招くことなく、かつ歩留りが高い状態

で容易に製造される。

【0015】

【発明の実施の形態】

以下、本発明の実施の形態について、添付の図面を参照して説明する。

【0016】

(第1の実施の形態)

最初に、半導体チップが絶縁膜に埋設されて実装された半導体装置の製造における不具合な点について説明する。図1は半導体チップが絶縁膜に埋設されて実装された半導体装置の製造における不具合な点を示す断面図である。

【0017】

図1 (a) に示すように、まず、所定の配線パターン（不図示）を備えたベース基板100上に第1層間絶縁膜102が形成され、第1層間絶縁膜102に形成されたビアホール（不図示）を介して、ベース基板100の配線パターンに接続されたCu配線104が形成される。このCu配線104上には接着層106を介してA1パッド108aを備えた半導体チップ108がその接続端子108aが上側になった状態（フェイスアップ）で固着される。

【0018】

続いて、図1 (b) に示すように、半導体チップ108及びCu配線104上に第2層間絶縁膜110が形成される。その後に、半導体チップ108のA1パッド108a上の第2層間絶縁膜110の所定部がレーザによりエッチングされてビアホール110aが形成される。

【0019】

このとき、第2層間絶縁膜110のエッティングを終えてオーバーエッティングを行なう際、半導体チップ108のA1パッド108aはレーザによりエッティングされやすい特性を有するため、A1パッド108のA1がビアホール110の周囲に飛び散り、引いてはビアホール110aの底部のA1が消失してしまうことがある。

【0020】

さらには、A1パッド108がレーザによりやられてしまうことに伴って、A

1パッド108の近傍の下側に形成された回路素子にダメージを与えててしまう。これは、半導体装置のチップ歩留りを低下させる要因になる。

【0021】

本発明の実施形態の電子部品実装構造は上記した課題を解決することができる。

【0022】

(第1の実施の形態)

次に、本発明の第1実施形態の電子部品実装構造の製造方法を説明する。図2～図5は本発明の第1実施形態の電子部品実装構造の製造方法を示す部分断面図、図6～図8は同じく電子部品実装構造に係る接続パッドの変形例を示す部分断面図である。

【0023】

図2(a)に示すように、まず、所定のトランジスタや多層配線(不図示)などが形成され、厚みが $400\mu m$ 程度のシリコンウェハ10(半導体ウェハ)を用意する。このシリコンウェハ10の上面にはアルミニウム(A1)又はA1合金からなるA1パッド12が露出していて、A1パッド12以外の部分はシリコン窒化膜やポリイミド樹脂などからなるパシベーション膜11で被覆されている。

【0024】

その後、図2(b)に示すように、シリコンウェハ10のA1パッド12上に無電解めっきによりニッケル(Ni)膜14を形成する。その形成方法の一例について詳しく説明すると、まず、シリコンウェハ10を、酸性浸漬脱脂材を含む前処理液(1)で処理して脱脂した後、過硫酸アンモニウム液又は過酸化水素水と硫酸との混合液などの前処理液(2)でソフトエッチングする。

【0025】

続いて、シリコンウェハ10を塩酸又は希硫酸などの前処理液(3)で処理して酸洗浄した後、さらにパラジウム系の触媒付与材を含む前処理液(4)でアクリベータ処理する。

【0026】

このようにして、シリコンウェハ10のAlパッド12にNi膜14を無電解めっきするための前処理が施される。なお、Alパッド12は上記した前処理液(1)～(4)に耐性をもっており、Alパッド12が前処理液でエッチングされて不具合が発生するようなことはない。

【0027】

続いて、例えば、スルファミン酸ニッケル(400g／リットル)、ニッケル(100g／リットル)、臭化ニッケル(15g／リットル)、ホウ酸(40g／リットル)の組成のめっき液(温度：60℃程度)に、シリコンウェハ10を浸漬させることにより、シリコンウェハ10のAlパッド12上に膜厚が1～3μm程度のNi膜14を選択的に成膜する。

【0028】

次いで、同じく図2(b)に示すように、シリコンウェハ10のNi膜14上に無電解めっきにより銅(Cu)膜16を形成する。その形成方法の一例について詳しく説明すると、まず、シリコンウェハ10を、界面活性材を含む前処理液(1)でコンディショニング処理した後、過硫酸アンモニウム又は過酸化水素水と硫酸との混合液などの前処理液(2)でソフトエッチングする。

【0029】

続いて、シリコンウェハ10を塩酸又は希硫酸などの前処理液(3)で酸洗浄した後、パラジウムコロイド液を含む前処理液(4)でアクチベータ処理する。その後に、シリコンウェハ10を塩酸又は希硫酸などの前処理液(5)でアクセラレータ処理する。

【0030】

このようにして、シリコンウェハ10のNi膜14にCu膜を無電解めっきするための前処理が施される。なお、Ni膜14は上記した前処理液(1)～(5)に耐性をもっており、Ni膜14が前処理液でエッチングされて不具合が発生するようなことはない。

【0031】

次いで、同じく図2(b)に示すように、例えば、硫酸銅、水酸化ナトリウム、ホルムアルデヒド、ロッセル塩及び界面活性剤を含むめっき液(温度：45

℃程度)にシリコンウェハ10を浸漬することにより、Ni膜14上に膜厚が1～5μm程度のCu膜16を選択的に成膜する。

【0032】

これにより、Alパッド12上にNi膜14及びCu膜16が選択的に形成されて接続パッド18が得られる。接続パッド18の最上層のCu膜16は、Alパッド12上に形成される層間絶縁膜にレーザによりビアホールを形成する際のエッチングストップ層として機能する。Cu膜はAl膜に比べてレーザによるエッチングレートが著しく低い特性を有するからである。

【0033】

なお、Alパッド12上にNi膜14を介さないでCu膜16を直接成膜する方法もあるが、Alパッド12が露出した状態でCu膜16の無電解めっきにおける上記した一連の前処理を行なうとAlパッド12が腐食する恐れがあるため好ましくない。

【0034】

上記した形態では、接続パッド18として、最上層にレーザでのエッチングレートが低いCu膜16が形成されたものを例示したが、レーザでのエッティングレートが低い金属としてCu膜の他に金(Au)膜又は銀(Ag)膜などが挙げられる。

【0035】

従って、接続パッド18の構造を以下のような構造としてもよい。すなわち、接続パッド18の変形例1としては、図6に示すように、下から順に、Alパッド12、膜厚が1～3μm程度のNi膜14、及び膜厚が0.05～0.15μmの金(Au)膜17から構成されるようにしてもよい。この場合、例えば、金(10g/リットル)、クエン酸や酢酸などの有機酸(100g/リットル)、KOHやNaOHなどの水酸化物(50g/リットル)、コバルト又はニッケル(100mg/リットル)を含むめっき液(温度：50℃程度)にNi膜14が形成されたシリコンウェハ20を浸漬することにより、Ni膜14上にAu膜17を選択的に成膜する。

【0036】

また、接続パッドの変形例2としては、図7に示すように、下から順に、A1パッド12、膜厚が $1\sim3\mu\text{m}$ 程度のNi膜14、膜厚が $1\sim5\mu\text{m}$ 程度のCu膜及び膜厚が $0.05\mu\text{m}$ 程度のAu膜17から構成されるものを使用してもよい。

【0037】

さらに、変形例3としては、図8に示すように、下から順に、A1パッド12、膜厚が $1\sim3\mu\text{m}$ 程度のNi膜14、膜厚が $1\sim5\mu\text{m}$ 程度の銀(Ag)膜19から構成されるものを使用してもよい。Ag膜19は一般的な無電解めっきによりNi膜14上に選択的に成膜される。

【0038】

このようにして、本実施形態に係る接続パッド18では、その最上にレーザでのエッチングレートがA1膜より低い金属膜(Cu膜16、Au膜17又はAg膜19など)が被覆された状態で形成される。しかも、本実施形態では、A1パッド12上に形成される金属膜はマスク工程を使用することなく無電解めっきにより選択的に形成される。なお、上記した積層構造の接続パッド18の例以外の変形例も適用できることはもちろんである。

【0039】

次いで、図2(c)に示すように、シリコンウェハ10の素子不形成面(以下、背面という)をグラインダーにより研削することにより、 $400\mu\text{m}$ 程度の厚みのシリコンウェハ10を $10\sim150\mu\text{m}$ 程度の厚みに薄型化する。

【0040】

続いて、図2(d)に示すように、シリコンウェハ10をダイシングすることにより、個片化された複数の半導体チップ20(電子部品)を得る。なお、電子部品として半導体チップ20を例示したが、シリコンチップの一方の面にコンデンサ素子や抵抗を備えたものなどの各種電子部品を用いてもよい。

【0041】

次に、上記した半導体チップ11が実装される配線基板の一例について説明する。図3(a)に示すように、まず、ビルドアップ配線基板を製造するためのベース基板24を用意する。このベース基板24は樹脂などの絶縁性材料から構成

されている。またベース基板24にはスルーホール24aが設けられていて、このスルーホール24aにはその内面にベース基板24上の第1配線パターン26に繋がるスルーホールめっき層24bが形成され、その孔は樹脂体24cで埋め込まれている。

【0042】

その後、第1配線パターン26を被覆する第1層間絶縁膜28を形成する。第1層間絶縁膜28としては、エポキシ系、ポリイミド系又はポリフェニレンエーテル系などの樹脂フィルムを使用することができる。例えば、第1配線パターン26上にこれらの樹脂フィルムをラミネートした後、80～100℃で熱処理して硬化させることにより、膜厚が30～50μm程度の樹脂層を形成する。

【0043】

なお、第1層間絶縁膜28としての樹脂膜は、上記した樹脂フィルムをラミネートする方法の他に、樹脂膜をスピンドルコート法又は印刷により形成するようにしてもよい。また、第1層間絶縁膜28として樹脂膜の他に、CVD法により形成されたシリコン酸化膜などを使用してもよい。

【0044】

次いで、第1配線パターン26上の第1層間絶縁膜28の所定部に第1ビアホール28xを形成する。

【0045】

続いて、第1層間絶縁膜28上にセミアディティブ法により第2配線パターン26aを形成する。詳しく説明すると、第1ビアホール28xの内面及び第1層間絶縁膜28上に無電解めっきによりシードCu層（不図示）を形成した後、所定パターンの開口部を有するレジスト膜（不図示）を形成する。次いで、シードCu膜をめっき給電層に用いた電解めっきによりレジスト膜の開口部にCu膜を形成する。続いて、レジスト膜を除去した後に、Cu膜をマスクにしてシードCu膜をエッチングする。これにより第1配線パターン26に第1ビアホール28xを介して接続された第2配線パターン26aが形成される。

【0046】

なお、セミアディティブ法の代わりに、サブトラクティブ法又はフルアディテ

イブ法により第2配線パターン26aを形成してもよい。

【0047】

続いて、図3（b）に示すように、前述した半導体チップ20の背面を第2配線パターン26a上に接着層27を介して固着する。これにより、半導体チップ20は、その接続パッド18が上面になった状態（フェイスアップ）で実装される。

【0048】

次いで、図3（c）に示すように、半導体チップ20及び第2配線パターン26a上に前述した第1層間絶縁膜28と同様な樹脂層などからなる第2層間絶縁膜28aを形成する。続いて、半導体チップ20の接続パッド18上の第2層間絶縁膜28aの所定部をレーザによりエッチングして第2ビアホール28yを形成する。この工程では、第2配線パターン26a上の第2層間絶縁膜28aの所定部もレーザによりエッチングされて第2ビアホール28yが形成される。

【0049】

このとき、第2層間絶縁膜28aをレーザでエッティングした後のオーバーエッティング時に、接続パッド18の最上層がレーザに曝される。しかしながら、接続パッド18の最上層はレーザによるエッテンレートが低いCu膜16であるため、Cu膜16がエッティングストップ層として機能する。従って、接続パッドがAl膜からなる場合と違って、接続パッド18からその周囲にAlが飛び散ったり、接続パッド18の近傍下の回路素子にダメージが入ったりすることが回避される。なお、接続パッド18の最上層がAu膜17やAg膜19などからなる場合（図6～図8）も同様な効果を奏する。

【0050】

レーザとしては、CO₂レーザ（波長：10.64nm）、YAGレーザ（第3高周波（波長：0.355nm））、又は、KrFエキシマレーザ（波長：0.248nm）などが使用される。

【0051】

接続パッド18の最上層がCu膜16からなる場合、Cu膜18のエッティングレートが他のレーザより低いCO₂レーザを使用することが好ましい。また、接

続パッド18の最上層がAl膜19からなる場合、Al膜19のエッチングレートが他のレーザより低いYAGレーザを使用することが好ましい。

【0052】

また、エッチングストップ層(Cu膜16など)は、熱伝導性を大きめてレーザ照射時の発熱を抑えるために、その膜厚ができるだけ厚く、しかもそのパッド面積ができるだけ大きくなるように設定されることが好ましい。このような観点からの好適な一例としては、Cu膜16の膜厚が $3\text{ }\mu\text{m}$ 程度以上、接続パッド18のパッド面積が $80\text{ }\mu\text{m}^2\sim100\text{ }\mu\text{m}^2$ 程度、第2ビアホール28yの口径が $50\sim60\text{ }\mu\text{m}$ 程度に設定される。

【0053】

なお、レーザの代わりに、RIE(Reactive Ion Etching)を用いてビアホールを形成する場合においても、上記した構成の接続パッド18を使用することにより、Alパッドを使用する場合と比較してオーバーエッチング時に接続パッド18の材料のスパッタリングが抑制されるため都合がよい。

【0054】

次いで、図4(a)に示すように、半導体チップ20の接続パッド18が露出した構造体(図3(c))上に、無電解めっきによりシードCu膜30aを形成する。このとき、接続パッド18がAl膜のみからなる場合、接続パッド18とシードCu膜30aとの密着性において不具合が発生する恐れがある。しかしながら、本実施形態では、シードCu膜30aは接続パッド18の最上層のエッチングストップ層(図4(a)の例ではCu膜16)上に成膜されるため、接続パッド18とシードCu膜30aとの密着性を向上させることができる。

【0055】

その後、図4(b)に示すように、第3配線パターンに対応する開口部32aを有するレジスト膜32をシードCu膜30a上にフォトリソグラフィにより形成する。続いて、シードCu膜30aをめっき給電層に利用した電解めっきにより、レジスト膜32の開口部32にCu膜パターン30bを形成する。

【0056】

次いで、図4(c)に示すように、レジスト膜32を除去した後に、Cu膜パ

ターン30bをマスクにしてシードCu膜30aをウェットエッチングすることにより、第3配線パターン26bとする。なお、この工程の後に、図3（b）～図4（c）までの工程を所定回繰り返すことにより、半導体チップ20を内蔵した層間絶縁膜及び配線パターンを多層化して形成するようにしてもよい。

【0057】

次いで、図5に示すように、第3配線パターン26b上にその接続部26xに開口部34aを有するソルダレジスト膜34を形成する。続いて、バンプ36を備えた半導体チップ20aを用意し、第3配線パターン26bの接続部26xに半導体チップ20aのバンプ36をフリップチップ接合する。このとき、第3配線パターン26bの接続部26xにはNi/Auめっきが施されている。

【0058】

なお、ソルダレジスト34の開口部34aにはんだボールを搭載するなどしてバンプを形成し、半導体チップ20aの接続端子をこのバンプに接合するようにしてもよい。また、図5の構造体を所定数の半導体チップ20を含むようにして分割する必要がある場合は、半導体チップ20aをフリップチップ実装する前又は後に分割するようにしてもよい。

【0059】

以上により、本実施形態の電子部品実装構造1が完成する。

【0060】

第1実施形態の電子部品実装構造1では、ベース基板24上方の第2配線パターン26a上に第2層間絶縁膜に28aに埋設された状態で半導体チップ20がフェイスアップで実装されている。この半導体チップ20の接続パッド18は、その最上層にレーザでエッチングされにくい材料からなるエッティングストップ層（Cu膜16など）を備えている。この半導体チップ20の接続パッド18上の第2層間絶縁膜28bにはレーザで穴明けされた第2ビアホール28yが形成されている。

【0061】

半導体チップ20の接続パッド18に接続された第3配線パターン26bは、第2ビアホール28yを介して第2配線パターン26aに電気的に接続されてい

る。さらに、第3配線パターン26bの接続部26xに開口部34aを有するソルダレジスト膜34が形成されており、半導体チップ20aのバンプ36が第3配線パターン26bの接続部26xにフリップチップ実装されている。このようにして、半導体チップ20は、その接続パッド18が配線基板の所定の配線パターンに接続されていると共に、上側に配置された半導体チップ20aと相互接続されている。

【0062】

なお、本実施形態では、半導体チップ20が、配線基板の第2配線パターン26a上に第2層間絶縁膜28aに埋設された状態で実装された形態を例示したが、半導体チップ20が第1配線パターン26又は第3配線パターン26b上に同様にして層間絶縁膜に埋設されて実装された形態としてもよい。あるいは、半導体チップ20がベース基板24上、第1又は第2層間絶縁膜28, 28a上に実装された形態としてもよい。つまり、半導体チップ20が実装される被実装体としては、ベース基板24、第1～第3配線パターン26～26b、又は第1、第2層間絶縁膜28, 28aなどである。

【0063】

さらに、複数の半導体チップ20が複数の層間絶縁膜にそれぞれ同様に埋設されて3次元的に多層化されて実装され、それらの半導体チップ20が複数のビアホールを介して相互接続された形態としてもよい。

【0064】

本実施形態の電子部品実装構造1では、前述したように、半導体チップ20の接続パッド18がその最上層にレーザプロセスでのエッチングトップ層(Cu膜16、Au膜17又はAg膜19など)を備えているので、一般的なレザビア形成方法で何ら不具合が発生することなく第2層間絶縁膜28aに第2ビアホール28yが形成される。このため、レザビア形成工程において、半導体チップ20の接続パッド18が消失したり、接続パッド18の近傍下の回路素子にダメージを与えたりする恐れがなくなる。

【0065】

以上のことから、電子部品実装構造1がコスト上昇を招くことなく、かつ歩留

りが高い状態で容易に製造される。さらに、半導体チップ20が内蔵された層間絶縁膜及び配線パターンを多層化して形成して高密度な電子部品実装構造を製造する場合も、高性能なものを信頼性が高い状態で製造することができるようになる。

【0066】

(第2の実施の形態)

図9～図11は本発明の第2実施形態の電子部品実装構造の製造方法を示す部分断面図、図12は同じく電子部品実装構造に係る接続パッドの形成方法の変形例1を示す部分断面図、図13は同じく電子部品実装構造に係る接続パッドの形成方法の変形例2を示す部分断面図である。

【0067】

第2実施形態が第1実施形態と異なる点は、A1パッド12上にエッチングストップ層を選択的に形成する方法として、無電解めっきを用いるのではなく、フォトリソグラフィを用いることにある。図9～図13において、図2～図5と同一要素及び同一工程についてはその詳しい説明を省略する。

【0068】

本発明の第2実施形態の電子部品実装構造の製造方法は、まず、図9(a)に示すように、第1実施形態と同様な方法により、図2(a)と同様に、A1パッド12が露出し、それ以外の部分がパシベーション膜11で被覆された構造を有するシリコンウェハ10(半導体ウェハ)を用意する。

【0069】

その後、図9(b)に示すように、A1パッド12及びパシベーション膜11上にスパッタ法などにより膜厚が0.05μm程度のクロム(Cr)膜13を成膜する。なお、クロム(Cr)膜13の代わりにチタン(Ti)膜を用いてもよい。続いて、Cr膜13上にスパッタ法などにより膜厚が0.05～2μm程度のCu膜16xを成膜する。

【0070】

次いで、図9(c)に示すように、フォトリソグラフィにより、A1パッド12に対応する部分を被覆するようにパターニングされたレジスト膜15をCu膜

16x上に形成する。その後、レジスト膜15をマスクにして、臭化水素(HBr)と過硫酸アンモニウムとを含む溶液(常温)を用いたウェットエッチングによりCu膜16xをエッチングする。続いて、同じくレジスト膜15をマスクにして、三塩化鉄(FeCl₃)と塩酸(HCl)を含む溶液(40℃)を用いたウェットエッチングによりCr膜13をエッチングする。その後に、レジスト膜15を除去する。

【0071】

これにより、図9(d)に示すように、Alパッド12上にCr膜13及びCu膜16xが選択的に形成されて第2実施形態に係る接続パッド18xが得られる。

【0072】

次に、第2実施形態に係る接続パッド18xの形成方法の変形例について説明する。変形例1としては、図12(a)に示すように、まず、図9(a)の構造を有するシリコンウェハ10上に、Alパッド12に対応する部分に開口部15aを有するレジスト膜15をフォトリソグラフィにより形成する。

【0073】

その後、図12(b)に示すように、前述した方法と同様なスパッタ法などにより、Alパッド12及びレジスト膜15上にCr膜13及びCu膜16xを順次成膜する。

【0074】

続いて、レジスト剥離液によりレジスト膜15を除去する。これにより、図12(c)に示すように、いわゆるリフトオフ法により、レジスト膜15上に成膜されたCr膜13及びCu膜16xがレジスト膜15とともに除去されると共に、Alパッド12上に成膜されたCr膜13(又はTi膜)及びCu膜16xが残されて上記した接続パッド18xと同様な構成のものが得られる。変形例1においても、Cr膜13の代わりにTi膜を用いるようにしてもよい。

【0075】

また、変形例2としては、図13(a)に示すように、まず、図9(a)と同一構造のシリコンウェハ10のAlパッド12及びパシベーション膜11上に、

膜厚が0.05μm程度のCr膜13及び膜厚が0.05μm程度の第1Cu膜16xをスパッタ法などにより順次成膜する。

【0076】

その後、図13（b）に示すように、Alパッド12に対応する第1Cu膜16xの部分に開口部15aを有するレジスト膜15をフォトリソグラフィにより形成する。続いて、図13（c）に示すように、第1Cu膜16xをめっき給電層に利用した電解めっきにより、レジスト膜15をマスクにして、レジスト膜15の開口部15aに膜厚が5～10μm程度の第2Cu膜16yを形成する。

【0077】

次いで、レジスト膜15を除去した後、第2Cu膜16yをマスクにして、前述した方法と同様なエッチャントを用いたウェットエッチングにより、第1Cu膜16x及びCr膜13を順次エッチングする。

【0078】

これにより、図13（d）に示すように、Alパッド12上に、Cr膜13、第1Cu膜16x及び第2Cu膜16yが選択的に形成されて、接続パッド18xが得られる。変形例2においても、Cr膜13の代わりにTi膜を用いてよい。

【0079】

第1実施形態で説明したように接続パッド18xの熱伝導性を向上させるなどの目的で厚膜（3μm程度以上）のCu膜を形成する場合、前述したスパッタ法とフォトリソグラフィによる形成方法では、成膜やウェットエッチングにおけるスループットなどが問題になる場合が想定される。このため、変形例2では、まず、スパッタ法で薄膜のCr膜13及び第1Cu膜16xを形成した後に、電解めっきによりAlパッド12の上方に厚膜の第2Cu膜16yを選択的に形成する。その後、厚膜の第2Cu膜16yをマスクにして第1Cu膜16x及びCr膜13をエッチングすることにより接続パッド18xを形成するようにしている。

【0080】

このようにすることにより、スパッタ法とフォトリソグラフィを用いる第2実

施形態においても、膜厚の厚いエッチングストップ層を有する接続パッド 18_x を容易に形成することができる。

【0081】

以上のように、変形例1又は変形例2の形成方法を用いて接続パッド 18_x を形成するようにしてもよい。

【0082】

次いで、図10（a）に示すように、第1実施形態と同様に、接続パッド 18_x が形成されたシリコンウェハ10の背面をグラインダーにより研削することにより、シリコンウェハ10の厚みを $10 \sim 150 \mu\text{m}$ に薄型化する。

【0083】

続いて、図10（b）に示すように、第1実施形態と同様に、接続パッド 18_x が形成されたシリコンウェハ10をダイシングすることにより、個片化された複数の半導体チップ 20_x を得る。

【0084】

次いで、図11に示すように、この半導体チップ 20_x を使用して、第1実施形態の図3（a）～図5までの工程と同様な工程を遂行することにより、第2実施形態の電子部品実装構造 1_a が得られる。

【0085】

第2実施形態の電子部品実装構造 1_a は、第1実施形態と同様な効果を奏する。

【0086】

なお、第2実施形態においても、第1実施形態で説明した各種の変形や変更を行なった形態としてもよい。

【0087】

（第3の実施の形態）

図14は本発明の第3実施形態の電子部品実装構造の製造方法を示す部分断面図である。第3実施形態が第1実施形態と異なる点は、A1パッド 12 上に導電性ペースト膜を形成してレーザプロセスでのエッチングストップ層とすることである。第3実施形態では第1実施形態と同一工程についてはその詳しい説明を省

略する。

【0088】

本発明の第3実施形態の電子部品実装構造の製造方法は、図14（a）に示すように、まず、第1実施形態と同様なA1パッド12を備えたシリコンウェハ10（半導体ウェハ）を用意する。その後、図14（b）に示すように、A1パッド12上に導電性ペースト膜38を選択的に形成する。例えば、スクリーン印刷などにより導電性ペースト材がA1パッド12上に塗布された後に、キュアされて導電性ペースト膜38となる。これにより、A1パッド12と導電性ペースト膜38とにより構成される接続パッド18yが得られる。

【0089】

導電性ペースト38としては、例えば、エポキシ系樹脂又はポリイミド系樹脂の中に銅（Cu）、銀（Ag）、金（Au）又はニッケル（Ni）などの導電性粒子が分散されたものが使用される。第3実施形態では、この導電性ペースト膜38が第1実施形態で説明したCu膜16などと同様にレーザプロセスでのエッチングストップ層として機能する。

【0090】

導電性ペースト膜38を用いることにより、 $10\mu m$ 程度の厚膜のエッチングストップ層を複雑な工程を必要とすることなく短時間で簡易に形成することができる。

【0091】

なお、A1パッド12と導電性ペースト膜38との間にCr膜又はTi膜が形成された形態としてもよい。このCr膜又はTi膜は、スパッタ及びフォトリソグラフィ、あるいは電解めっきによりA1パッド12上に選択的に形成される。

【0092】

次いで、図14（c）に示すように、第1実施形態と同様に、接続パッド18yが形成されたシリコンウェハ10の背面をグラインダーにより研削することにより、シリコンウェハ10の厚みを $10 \sim 150\mu m$ に薄型化する。

【0093】

続いて、図14（d）に示すように、第1実施形態と同様に、接続パッド18

yが形成されたシリコンウェハ10をダイシングすることにより、個片化された複数の半導体チップ20yを得る。

【0094】

次いで、図15に示すように、この半導体チップ20yを使用して、第1実施形態の図3（a）～図5までの工程と同様な工程を遂行することにより、第3実施形態の電子部品実装構造1bが得られる。

【0095】

第3実施形態の電子部品実装構造1bは、第1実施形態と同様な効果を奏する。

【0096】

なお、第3実施形態においても、第1実施形態で説明した各種の変形や変更を行なった形態としてもよい。

【0097】

以上、第1～第3実施形態により、本発明の詳細を説明したが、本発明の範囲は前述の実施形態に具体的に示した例に限られるものではなく、この発明を逸脱しない要旨の範囲における上記の実施形態の変更は本発明の範囲に含まれる。

【0098】

本発明は、半導体チップの本来の金属パッド（例えばA1パッド）上に該金属パッドよりレーザでのエッティングレートが低いエッティングストップ層を設けるようにしたことを特徴の一つとしている。

【0099】

従って、実施形態ではA1パッド上にレーザでのエッティングレートが低い金属膜や導電性ペースト膜を設けた形態を例示したが、A1以外の金属パッド上にそれよりレーザでのエッティングレートが低い金属膜や導電性ペースト膜を形成した形態としてもよい。つまり、A1パッド以外の所要の各種金属パッドを備えた電子部品にも本発明を適用することができる。

【0100】

【発明の効果】

以上説明したように、本発明では、電子部品が、その接続パッドが上向きにな

って、かつ絶縁膜に埋設された状態で被実装体上に実装されている。そして、電子部品の接続パッドは、その最上にエッチングトップ層を備えた積層膜により構成されている。また、電子部品の接続パッド上の絶縁膜にはスルーホールが形成されていて、この絶縁膜上にはビアホールを介して接続パッドに接続された配線パターンが形成されている。

【0101】

本発明では、電子部品の接続パッド上の絶縁膜にレーザによりビアホールが形成される際に、接続パッドの最上膜がレーザプロセスでのエッチングトップ層として機能するようにしている。このため、Al膜からなる接続パッドを使用する場合と違って、ビアホール下の接続パッドが消失したり、接続パッドの近傍下の回路素子にダメージを与えたりする恐れがなくなる。

【0102】

このように、本発明の電子部品実装構造は、コスト上昇を招くことなく、歩留りが高い状態で容易に製造される。

【図面の簡単な説明】

【図 1】

図1は半導体チップが絶縁膜に埋設されて実装された半導体装置の製造における不具合な点を示す断面図である。

【図 2】

図2は本発明の第1実施形態の電子部品実装構造の製造方法を示す部分断面図(その1)である。

【図 3】

図3は本発明の第1実施形態の電子部品実装構造の製造方法を示す部分断面図(その2)である。

【図 4】

図4は本発明の第1実施形態の電子部品実装構造の製造方法を示す部分断面図(その3)である。

【図 5】

図5は本発明の第1実施形態の電子部品実装構造の製造方法を示す部分断面図

(その4) である。

【図6】

図6は本発明の第1実施形態の電子部品実装構造に係る接続パッドの変形例1を示す部分断面図である。

【図7】

図7は本発明の第1実施形態の電子部品実装構造に係る接続パッドの変形例2を示す部分断面図である。

【図8】

図8は本発明の第1実施形態の電子部品実装構造に係る接続パッドの変形例3を示す部分断面図である。

【図9】

図9は本発明の第2実施形態の電子部品実装構造の製造方法を示す部分断面図(その1)である。

【図10】

図10は本発明の第2実施形態の電子部品実装構造の製造方法を示す部分断面図(その2)である。

【図11】

図11は本発明の第2実施形態の電子部品実装構造の製造方法を示す部分断面図(その3)である。

【図12】

図12は本発明の第2実施形態の電子部品実装構造に係る接続パッドの形成方法の変形例1を示す部分断面図である。

【図13】

図13は本発明の第2実施形態の電子部品実装構造に係る接続パッドの形成方法の変形例2を示す部分断面図である。

【図14】

図14は本発明の第3実施形態の電子部品実装構造の製造方法を示す部分断面図(その1)である。

【図15】

図15は本発明の第3実施形態の電子部品実装構造の製造方法を示す部分断面図（その2）である。

【符号の説明】

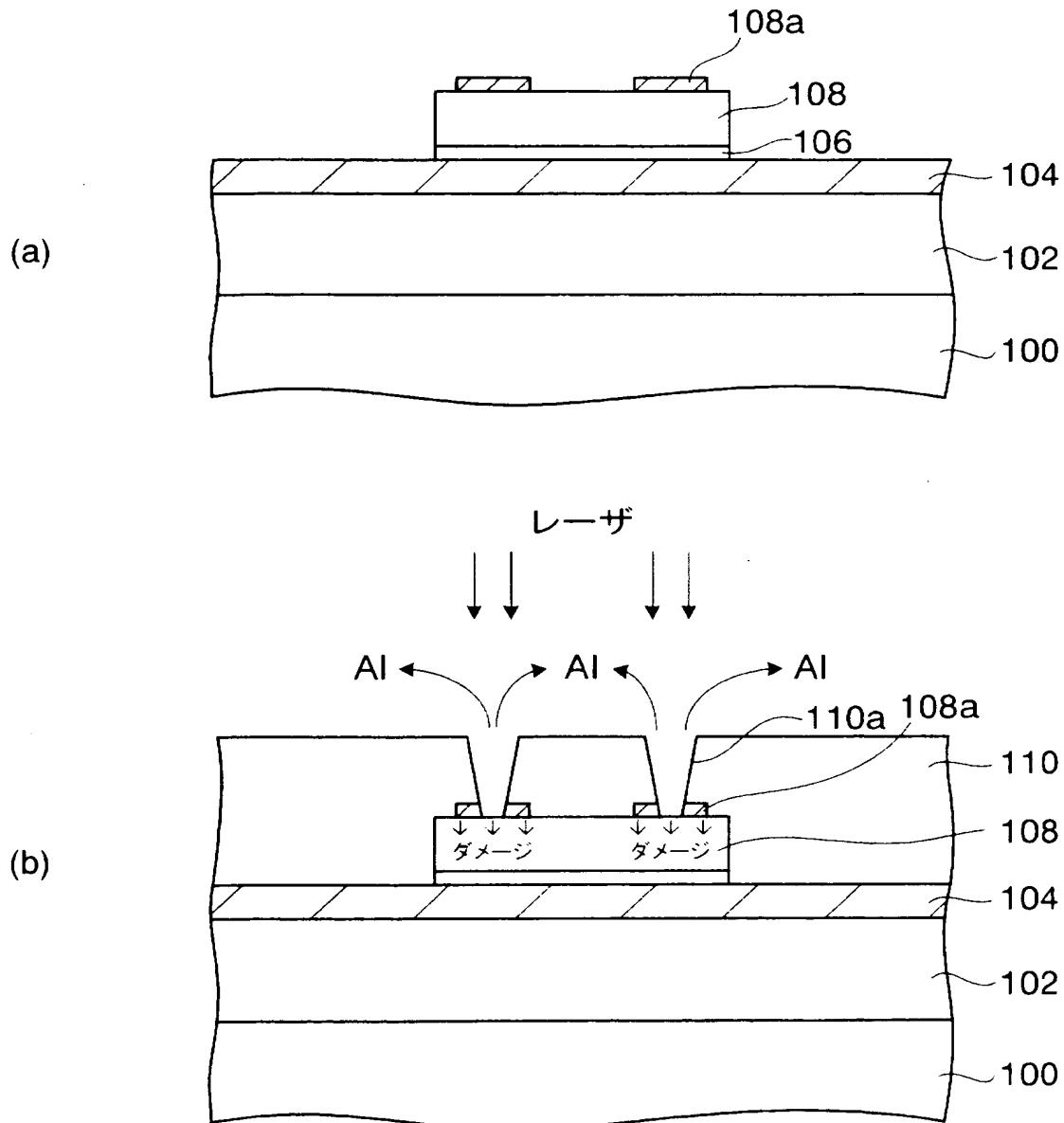
1, 1a…電子部品実装構造、10…シリコン基板（半導体ウェハ）、11…パシベーション膜、12…Alパッド、13…Cr膜、14…Ni膜、16, 16x, 16y…Cu膜、17…Au膜、18, 18x…接続パッド、19…Ag膜、20, 20a, 20x…半導体チップ（電子部品）、24…ベース基板、24a…スルーホール、24b…スルーホールめっき層、24c…樹脂、26…第1配線パターン、26a…第2配線パターン、26b…第3配線パターン、27…接着層、28…第1層間絶縁膜、28a…第2層間絶縁膜、28x…第1ビアホール、28y…第2ビアホール、30a…シードCu膜、30b…Cu膜パターン、15, 32…レジスト膜、15a, 32a, 34a…開口部、34…ソルダーレジスト膜、36…バンプ、38…導電性ペースト膜。

【書類名】

図面

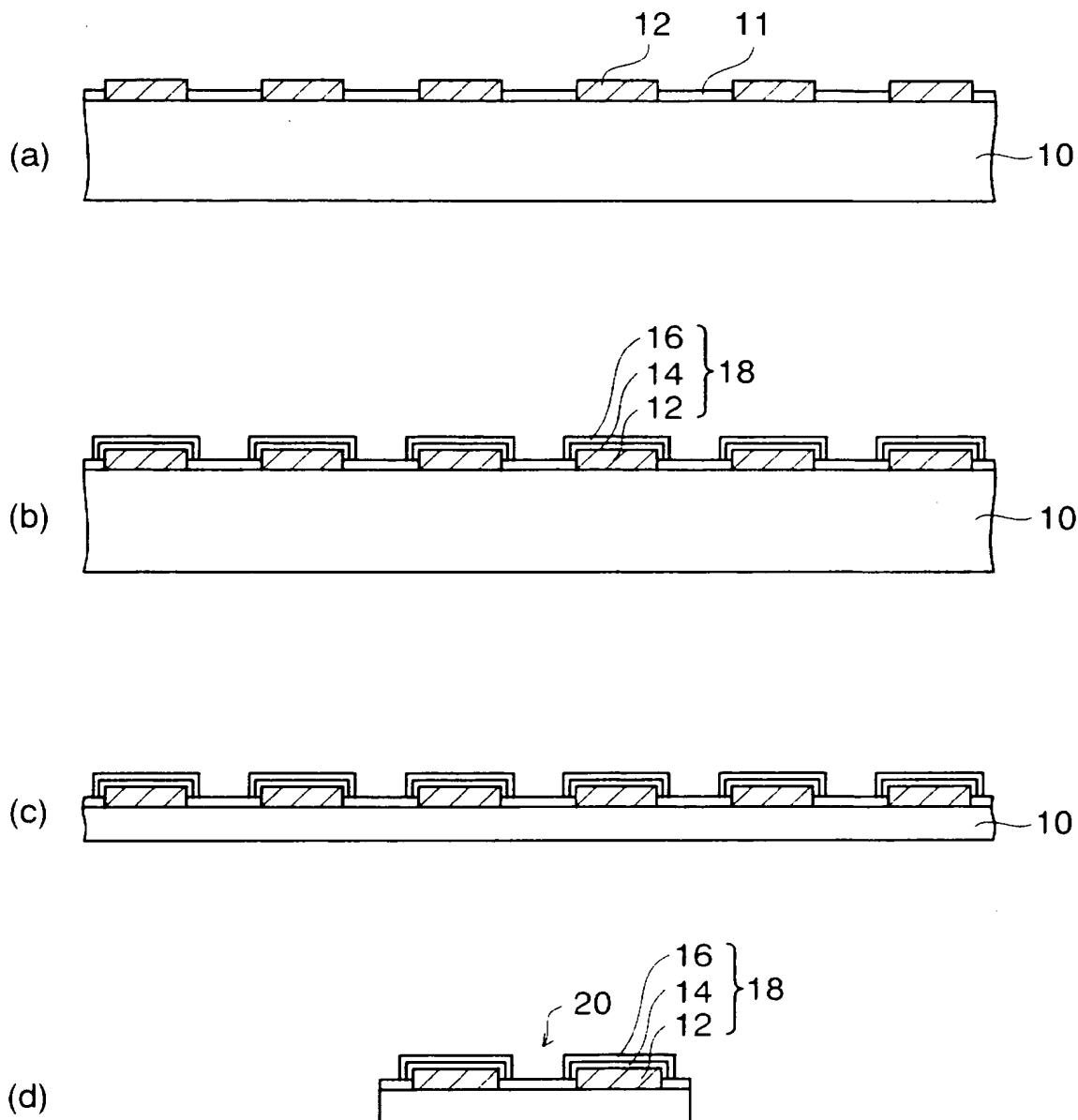
【図 1】

半導体チップが絶縁膜に埋没されて実装された
半導体装置の製造における不具合な点を示す断面図



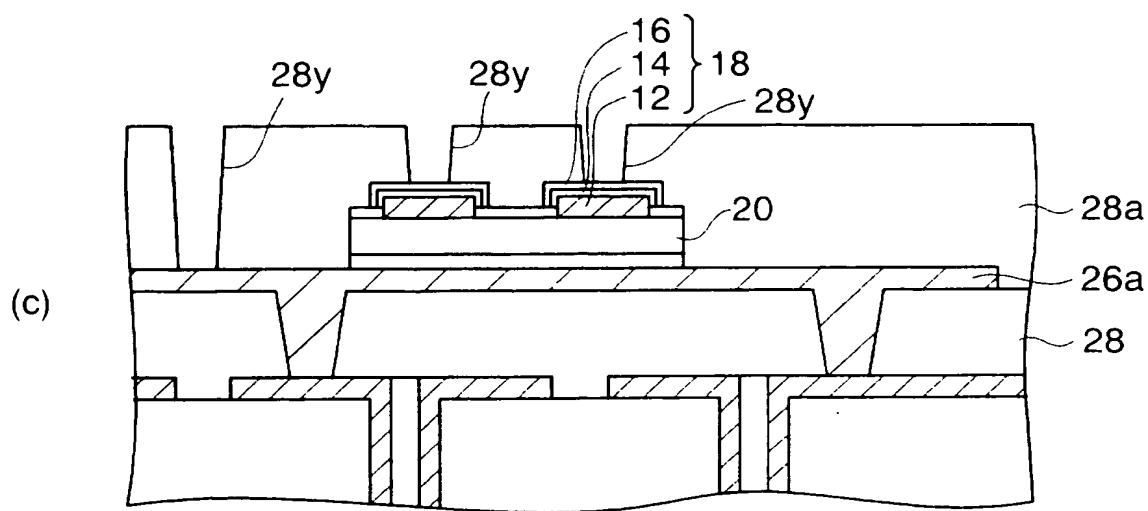
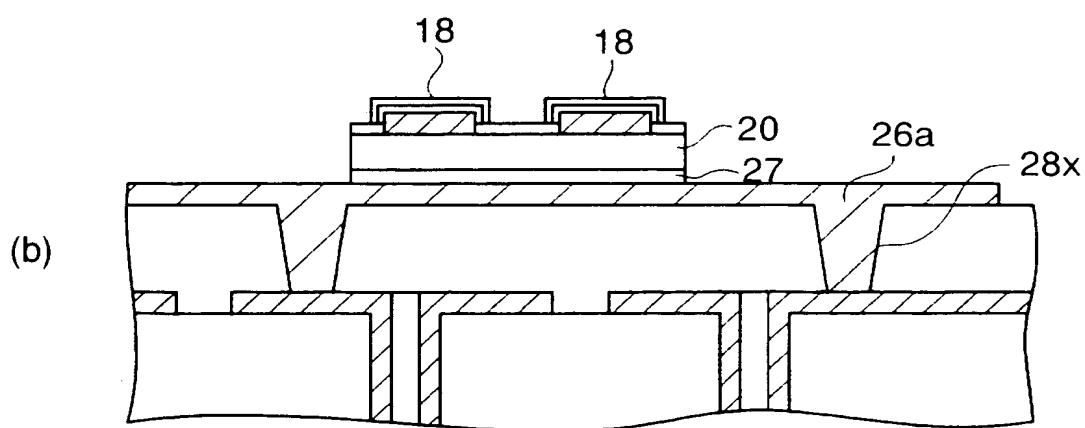
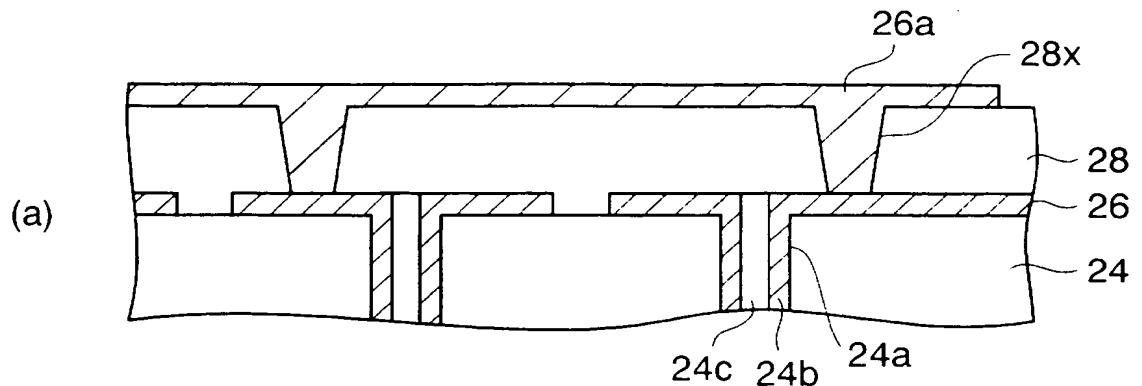
【図2】

本発明の第1実施形態の電子部品実装構造の
製造方法を示す断面図(その1)



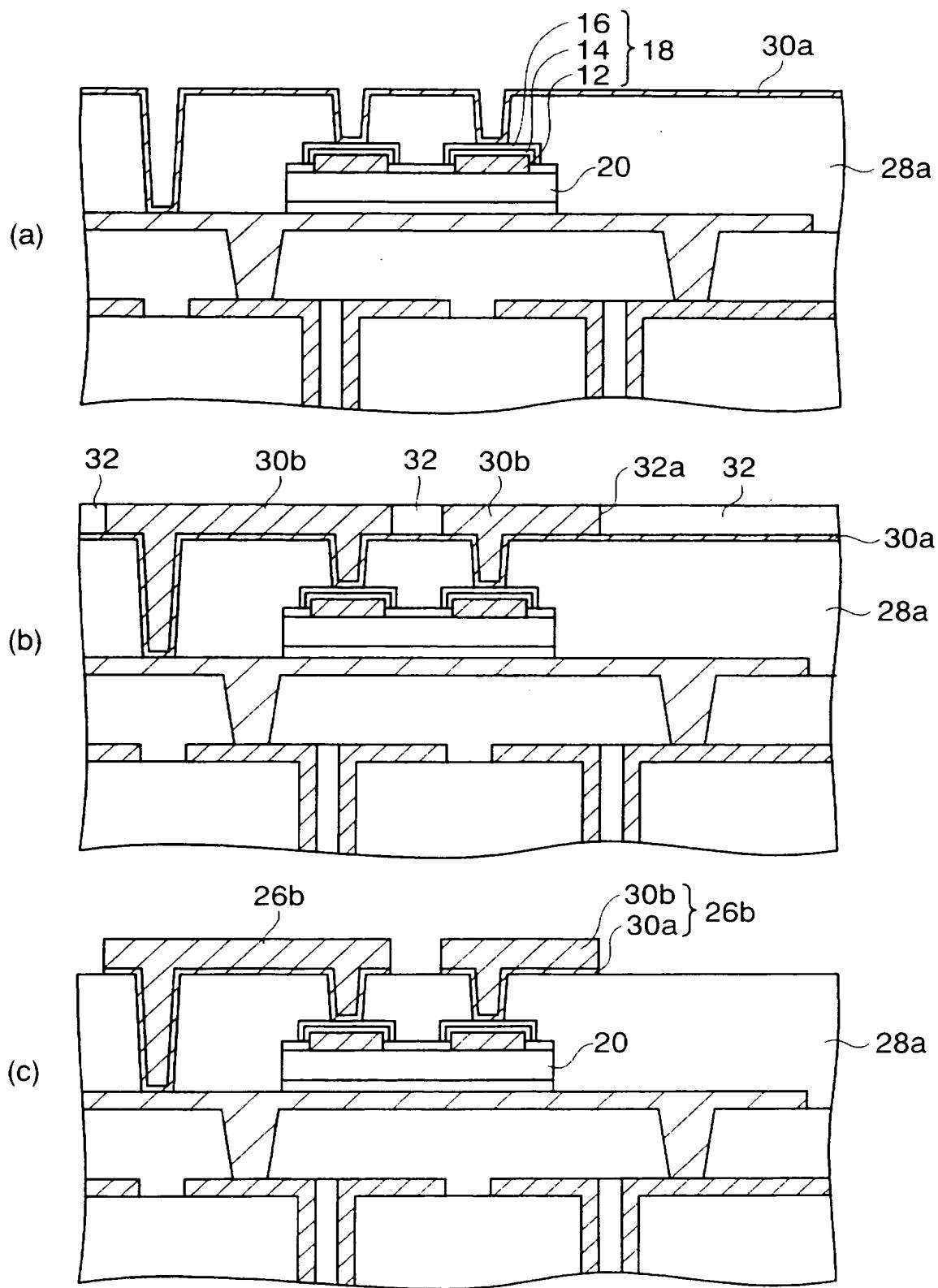
【図3】

本発明の第1実施形態の電子部品実装構造の
製造方法を示す断面図(その2)



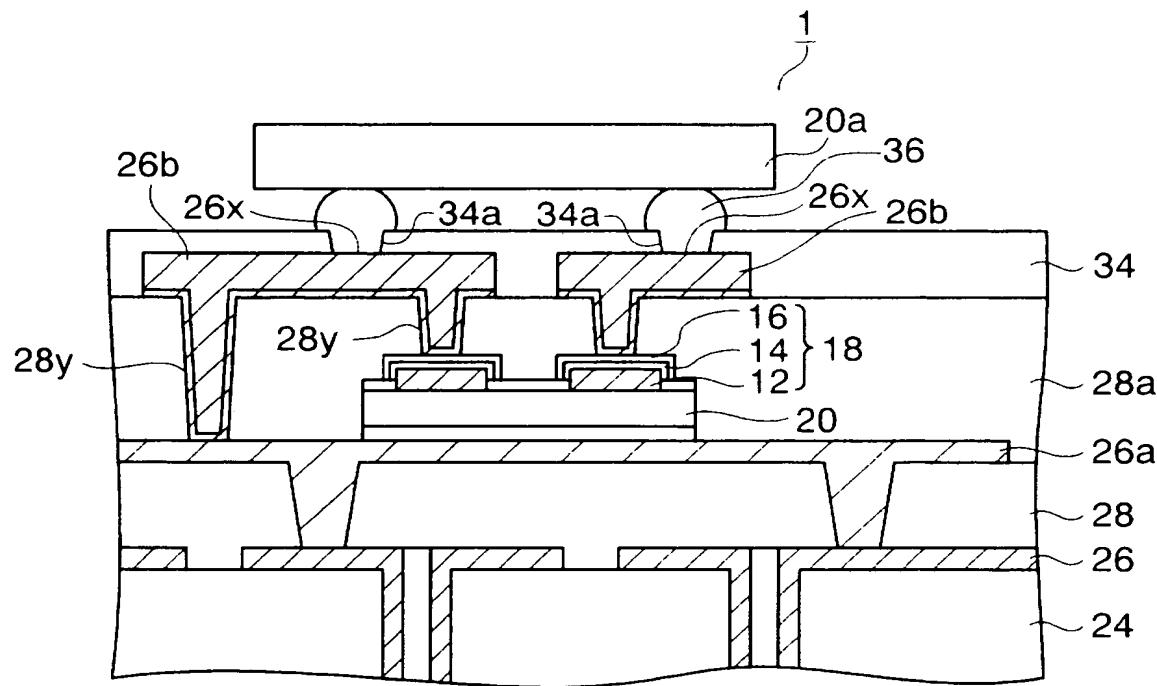
【図4】

本発明の第1実施形態の電子部品実装構造の
製造方法を示す断面図(その3)



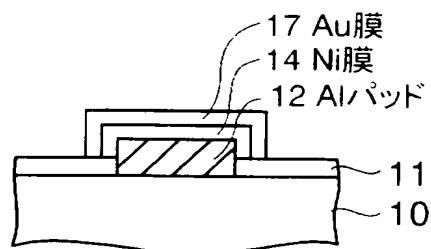
【図5】

本発明の第1実施形態の電子部品実装構造の
製造方法を示す断面図(その4)



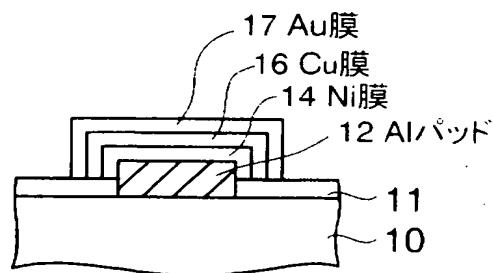
【図6】

第1実施形態に係る接続パッドの変形例1を示す断面図



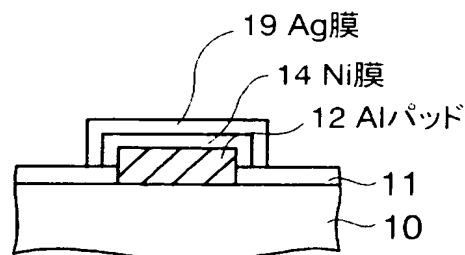
【図7】

第1実施形態に係る接続パッドの変形例2を示す断面図



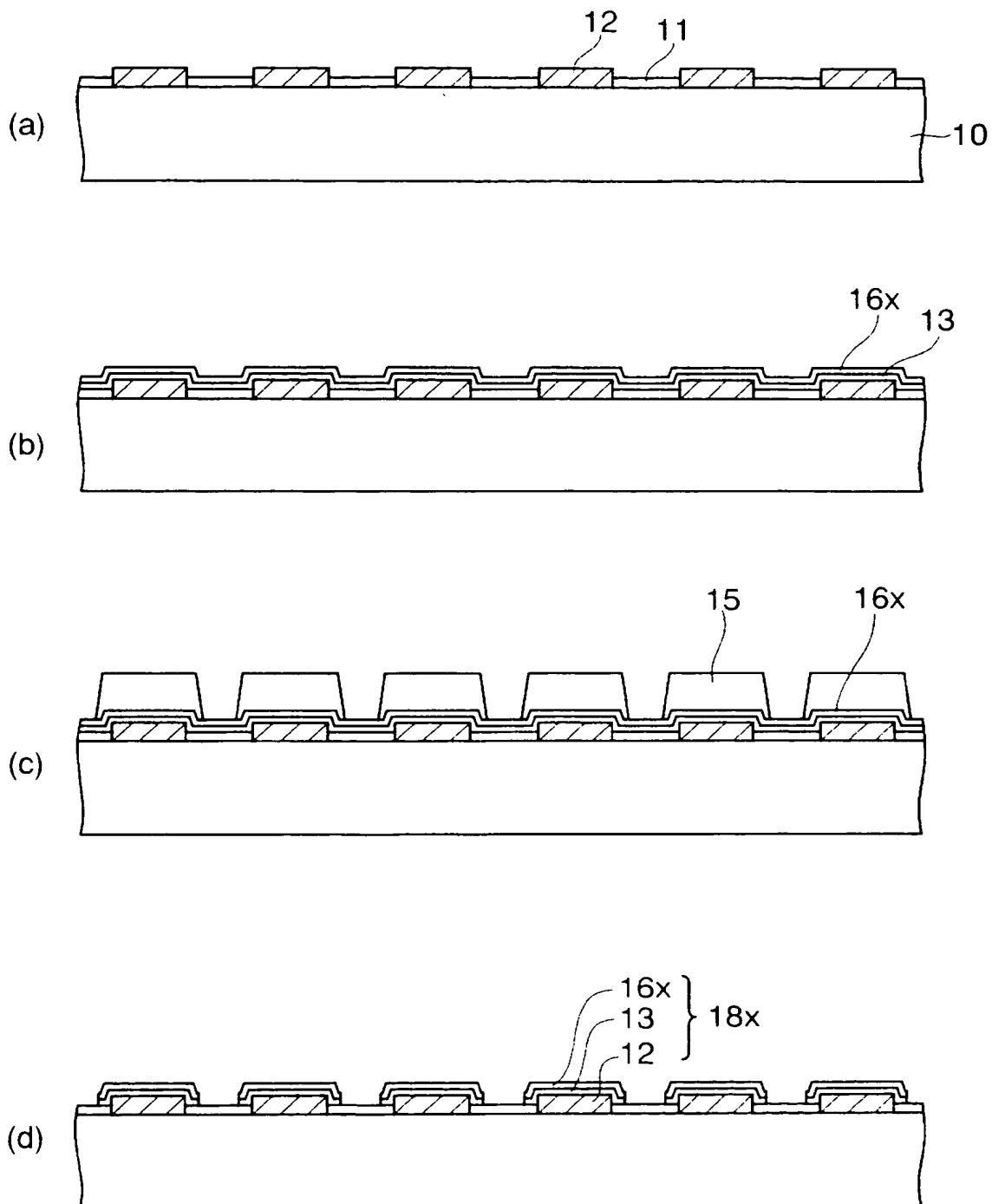
【図8】

第1実施形態に係る接続パッドの変形例3を示す断面図



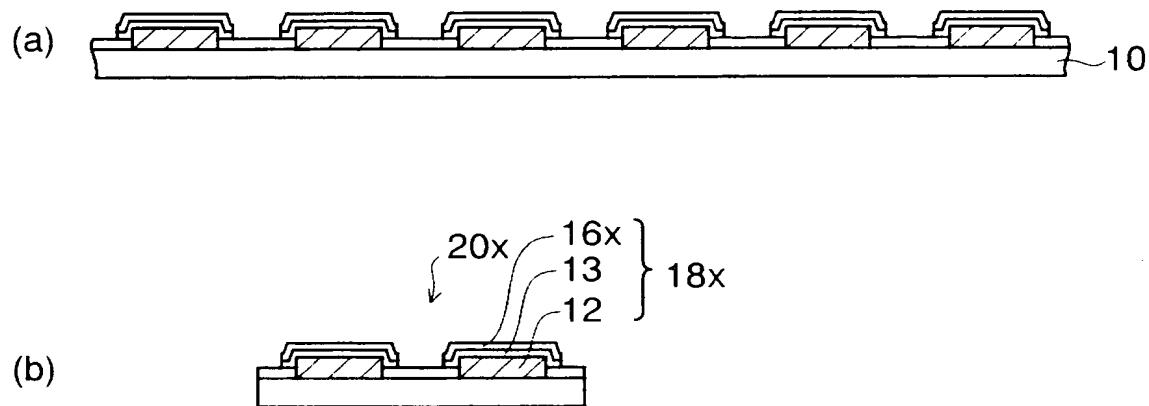
【図9】

本発明の第2実施形態の電子部品実装構造の
製造方法を示す断面図(その1)



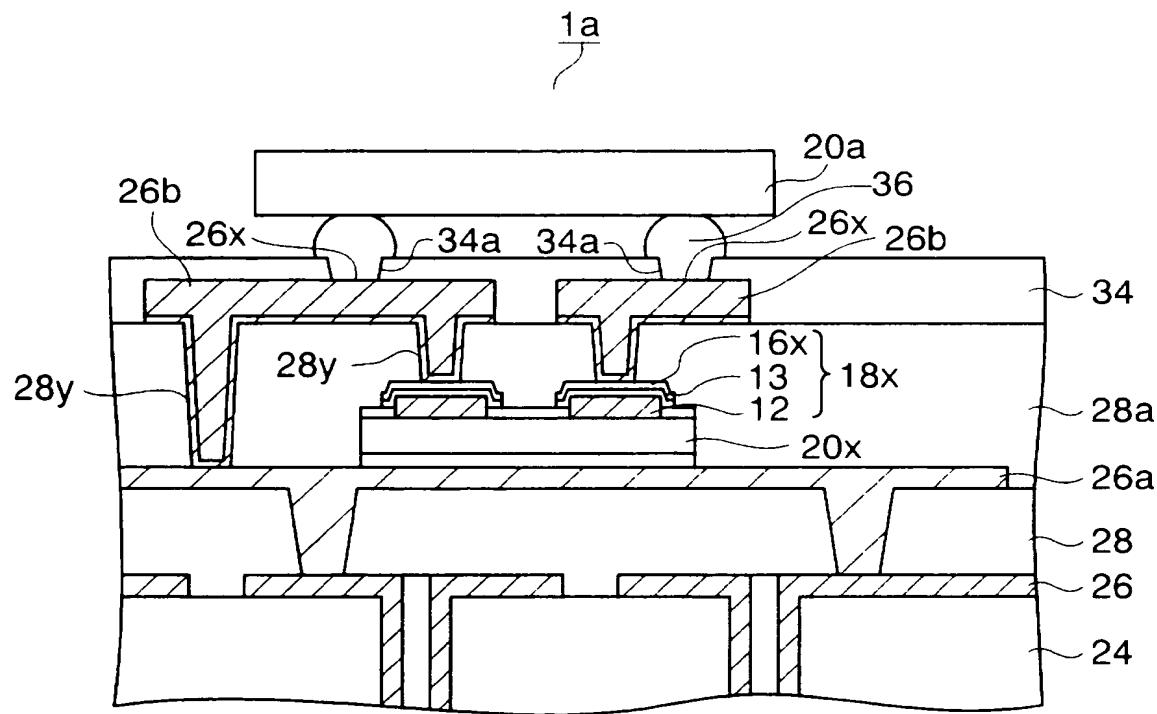
【図10】

本発明の第2実施形態の電子部品実装構造の
製造方法を示す断面図(その2)



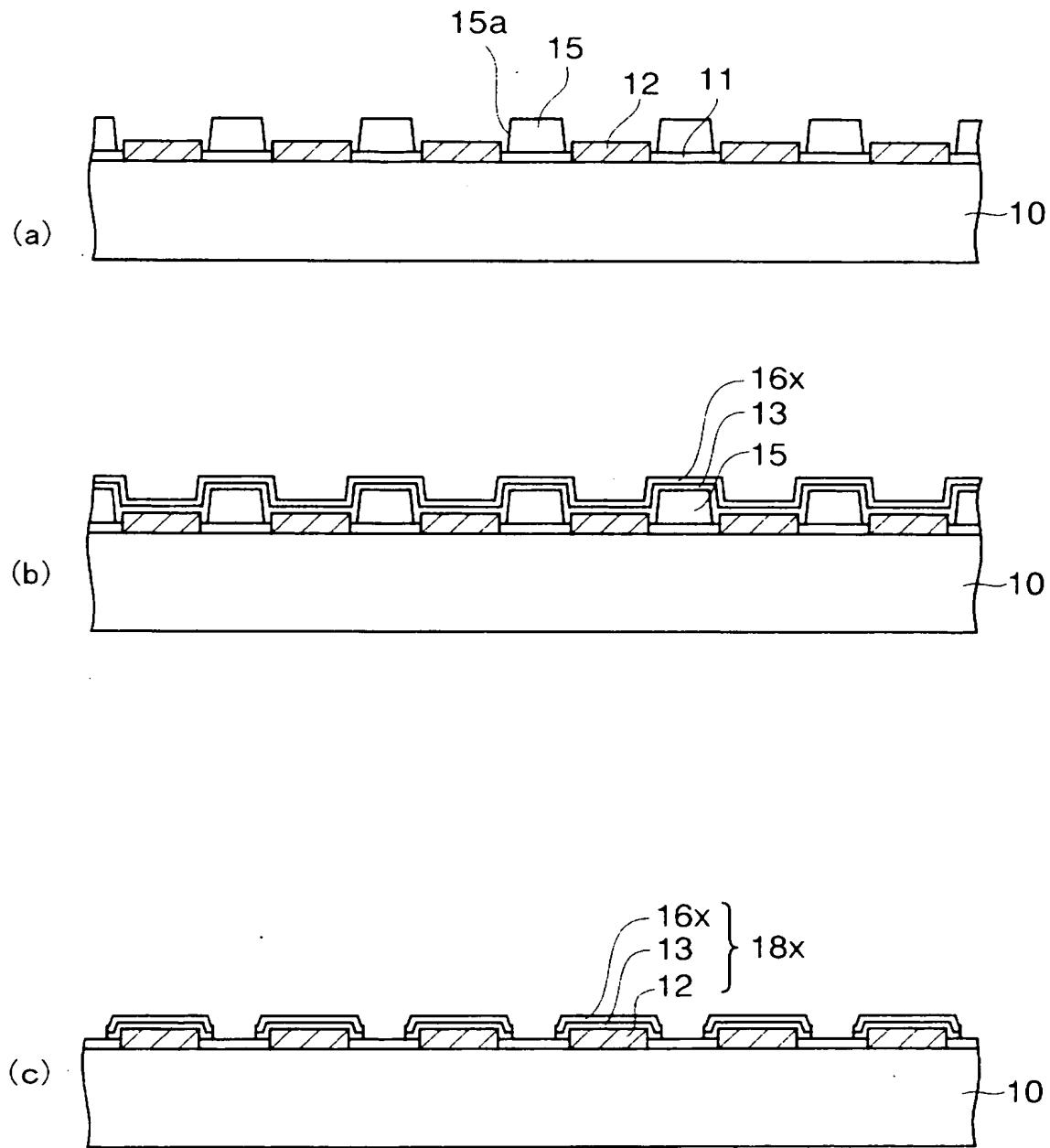
【図11】

本発明の第2実施形態の電子部品実装構造の
製造方法を示す断面図(その3)



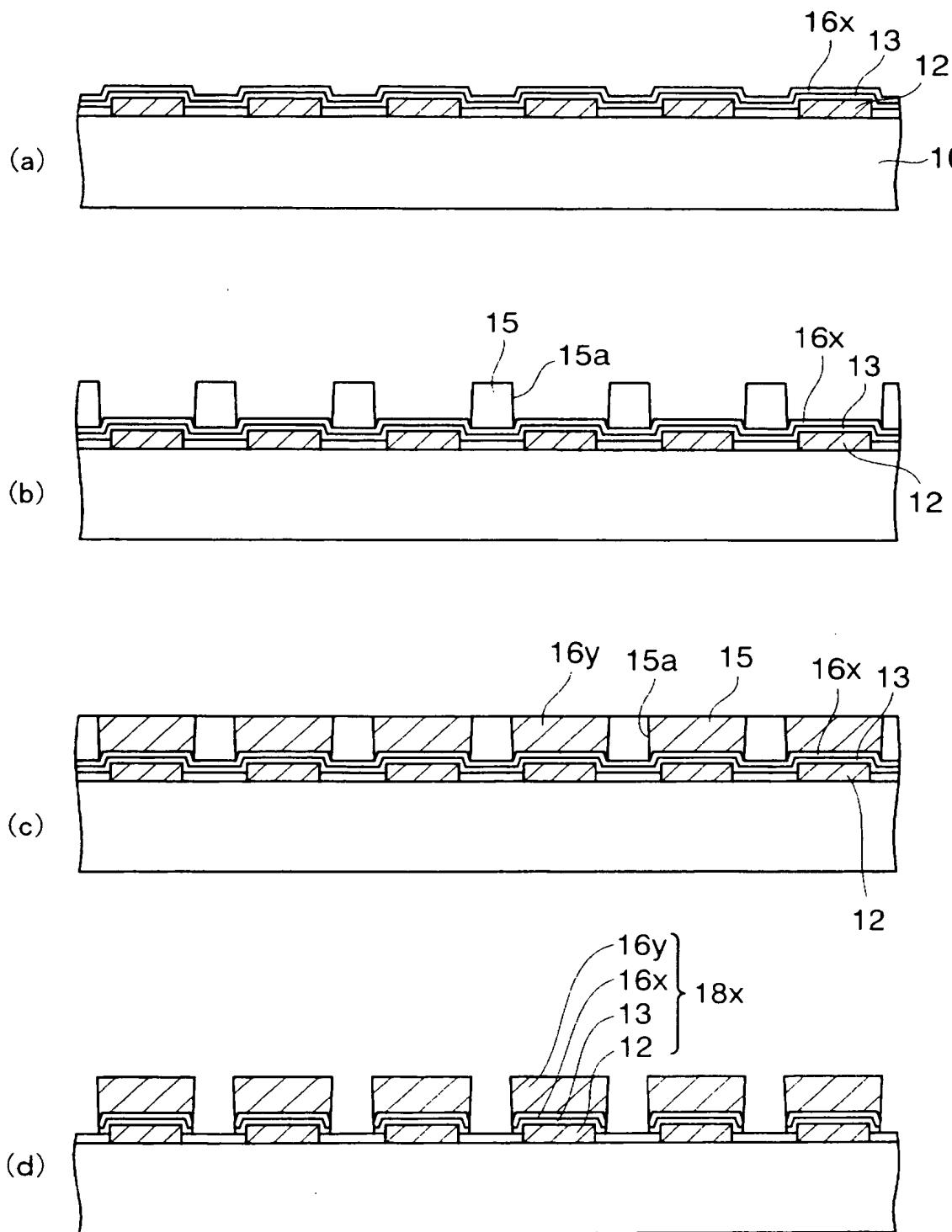
【図12】

第2実施形態に係る接続パッドの形成方法の変形例1を示す断面図



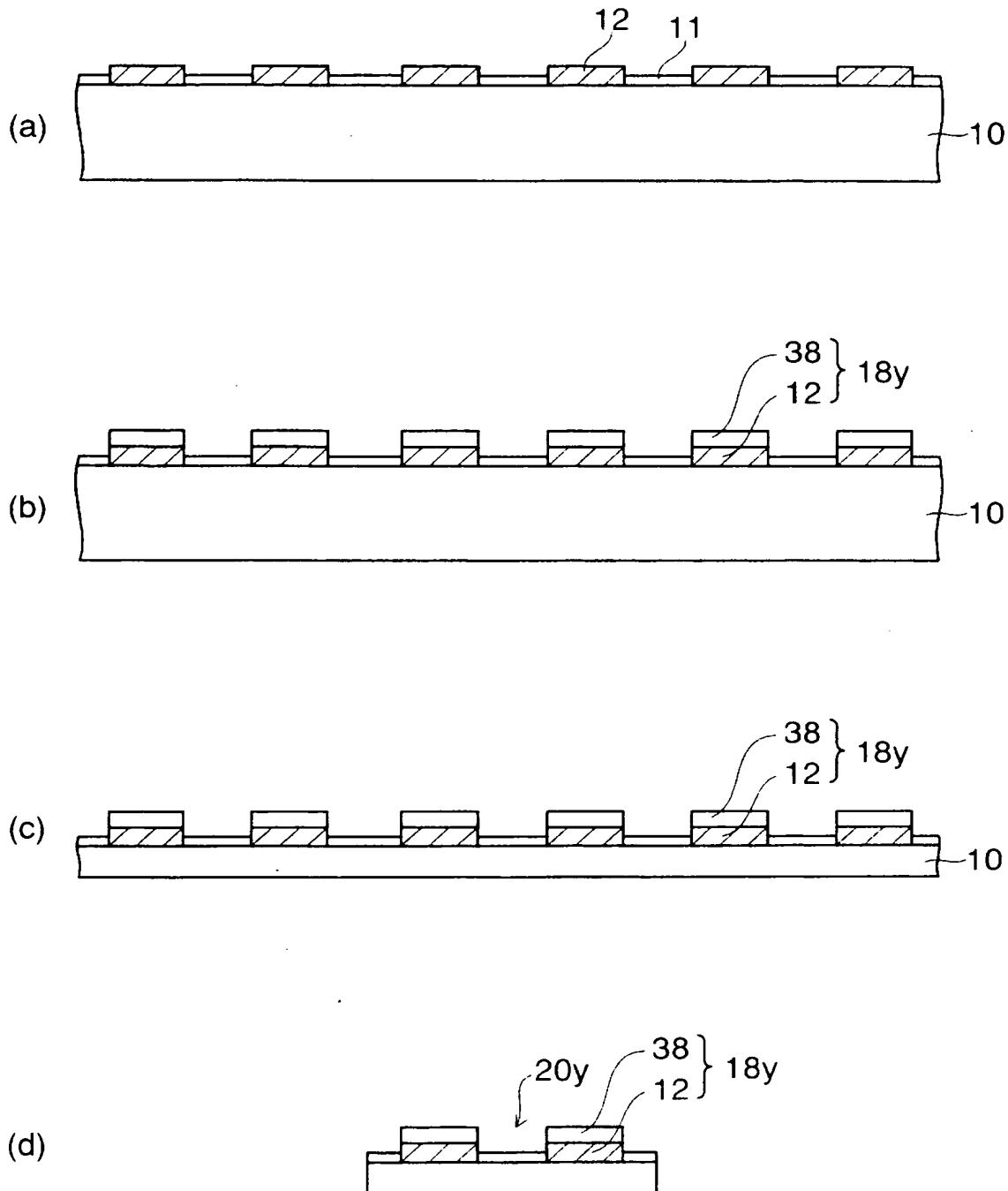
【図13】

第2実施形態に係る接続パッドの形成方法の変形例2を示す断面図



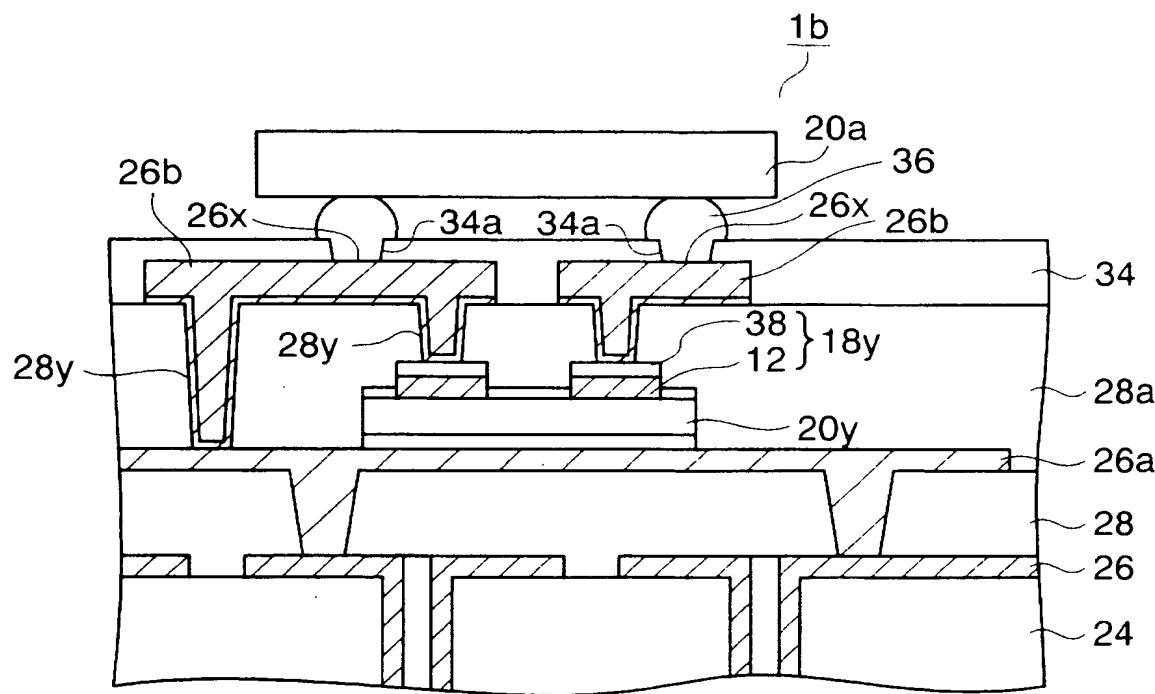
【図14】

本発明の第3実施形態の電子部品実装構造の
製造方法を示す断面図(その1)



【図15】

本発明の第3実施形態の電子部品実装構造の
製造方法を示す断面図(その2)



【書類名】 要約書

【要約】

【課題】 配線基板上に電子部品が絶縁膜内に埋設され、かつフェイスアップで実装された電子部品実装構造において、何ら不具合が発生することなく、電子部品の接続パッド上にビアホールが形成される電子部品実装構造を提供する。

【解決手段】 電子部品20が実装される被実装体26aと、被実装体26aの上に、最上にエッチングストップ層16（銅膜、金膜、銀膜又は導電性ペースト膜）を備えた接続パッド18を有する電子部品20の接続パッド18が上向きになつて実装された電子部品20と、電子部品20を被覆する層間絶縁膜28aと、電子部品20の接続パッド18上における層間絶縁膜28aに形成されたビアホール28yと、ビアホール28yを介して、接続パッド18に接続された配線パターン26bとを含む。

【選択図】 図5

特願 2002-342024

出願人履歴情報

識別番号 [000190688]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住所 長野県長野市大字栗田字舎利田711番地
氏名 新光電気工業株式会社